

Mathématiques

Unité d'apprentissage 80 Logique

4^e semestre

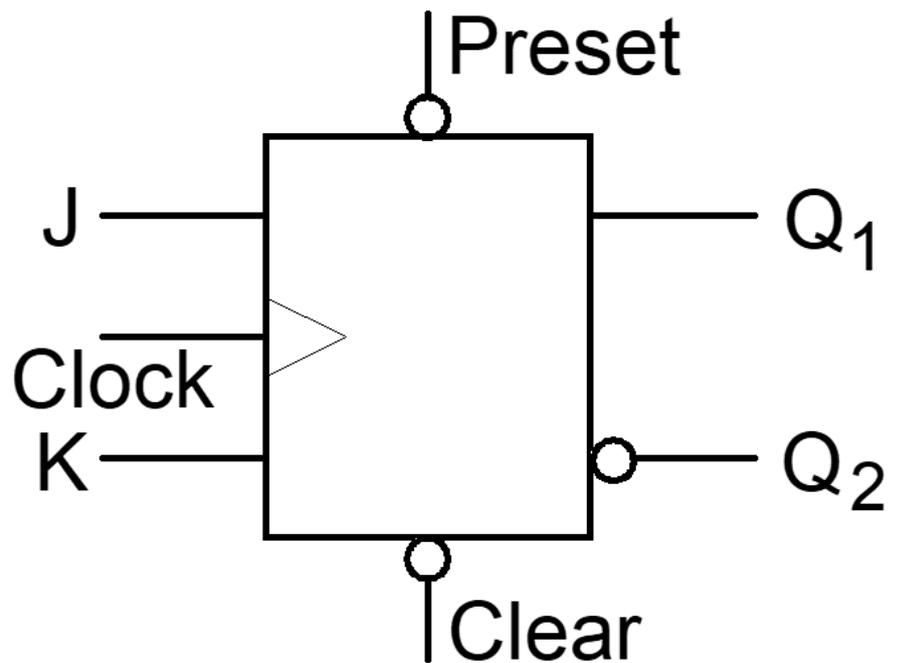


Table des matières

1 Dériver des équations à partir de la table de vérité	3
1.1 Exercice 1	5
1.2 Exercice commande de pompe	6
1.3 Exercice 2	7
2 Règles de calcul avec l'algèbre de commutation.....	8
2.1 Exercices: Lois fondamentales et règles de calcul de l'algèbre de commutation	9
3 Logique séquentielle	10
3.1 Introduction.....	10
3.2 La bascule RS (également appelée verrou)	11
3.3 Portes logiques synchronisées par un signal d'horloge (clock).....	12
3.4 Bascule D (avec commande 1 front positif)	13
3.5 La bascule RS-Master-Slave-FF (RS-MS-FF)	14
3.6 JK-FF à commande à 1 front positif.....	15
3.7 La bascule JK-Master-Slave.....	16
4 Applications des bascules	18
4.1 Circuit anti-rebonds.....	18
4.2 Interrupteur d'éclairage.....	18
4.3 Compteur binaire synchrone 4 bits en avant.	19
4.4 Compteur BCD synchrone en avant.....	20

Remarque

Ce script est basé sur les connaissances acquises dans le Module 10 Systèmes de numération
Chapitre Fonctions logiques.

1 Dériver des équations à partir de la table de vérité

Pour la synthèse (développement) des circuits numériques, on se fonde souvent sur une table de vérité. La table de vérité associe une fonction de sortie à toutes les combinaisons possibles des variables d'entrée. Le nombre de combinaisons d'entrées possibles s'élève à 2^n , n étant le nombre de variables d'entrée. Il est possible de déduire une équation algébrique à partir de la table de vérité.

Exemple 1:

a	b	X
0	0	0
0	1	0
1	0	0
1	1	1

Le premier exemple montre la table de vérité de la fonction ET. Nous considérons uniquement les lignes du tableau pour lesquelles la fonction de sortie (X) est égale à 1 et nous lisons: X est égal à 1 quand a est égal à 1 ET b est égal à 1. L'équation logique est donc la suivante:

Exemple 2:

a	b	X
0	0	0
0	1	1
1	0	1
1	1	1

Le deuxième exemple montre la table de vérité de la fonction OU. Nous considérons à nouveau uniquement les lignes du tableau pour lesquelles la fonction de sortie (X) est égale à 1 et nous lisons: X est égal à 1 quand a est égal à 0 ET b est égal à 1, OU a est égal à 1 ET b est égal à 0, OU a est égal à 1 ET b est égal à 1. Écrit sous forme d'équation logique:

Exemple 3 avec 3 variables:

e	f	g	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

L'équation logique qui en est déduite est la suivante:

Exemple 4 avec 3 variables:

e	f	g	h	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

L'équation logique qui en est déduite est la suivante:

Y=

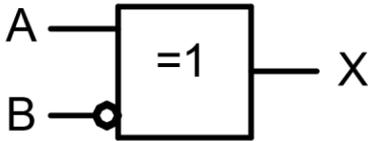
1.1 Exercice 1

- 1) Dans la formule suivante, de quel type de représentation s'agit-il? Complétez la table de vérité et tracez le circuit numérique correspondant.

$$X = (\bar{A} \wedge \bar{B}) \vee (A \wedge B)$$

A	B	X
0	0	
0	1	
1	0	
1	1	

- 2) La table de vérité doit être déterminée à partir du symbole de circuit suivant.



A	B	X
0	0	
0	1	
1	0	
1	1	

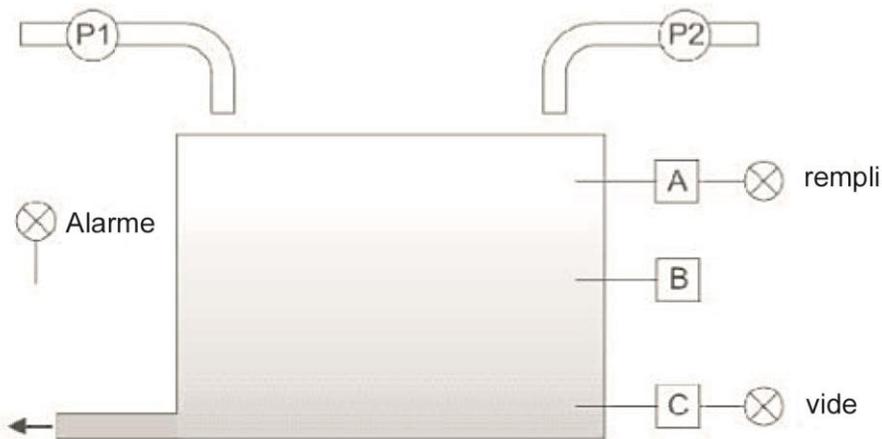
1.2 Exercice commande de pompe

Un récipient d'eau, dans lequel des quantités d'eau très différentes sont prélevées en permanence, est équipé de trois émetteurs de signaux pour différents niveaux de remplissage. Ils fournissent un signal H lorsqu'ils sont entourés d'eau. Le remplissage du réservoir doit se faire à l'aide de deux pompes. Jusqu'au niveau B, les deux pompes sont en action et ensuite uniquement la pompe 1.

Si une situation illogique se produit, les pompes doivent stopper et il doit y avoir un signal d'alarme.

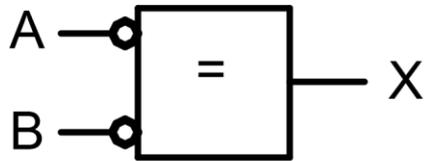
Développez les points suivants:

1. Concevez une table de vérité pour chaque grandeur de sortie. Les entrées sont ici 3 capteurs A, B et C
2. Concevez le circuit logique qui répond à l'énoncé du problème ci-dessus. Tracez un schéma du circuit logique de manière à ce que le circuit puisse être monté directement.



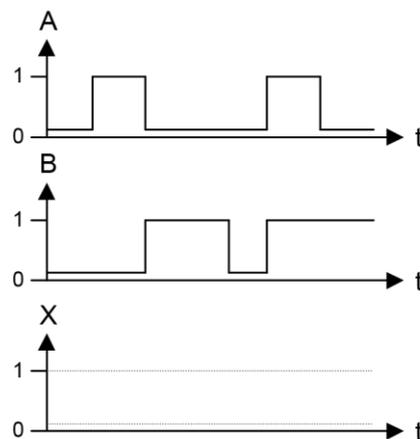
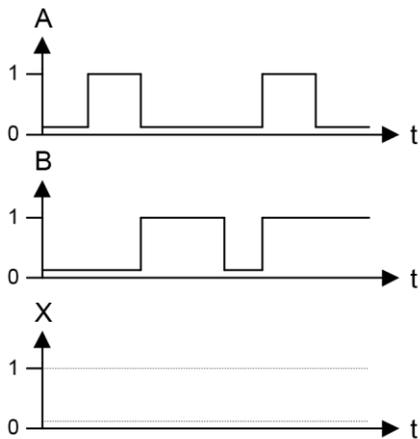
1.3 Exercice 2

1) La table de vérité doit être déterminée à partir du symbole de circuit suivant.



A	B	X
0	0	
0	1	
1	0	
1	1	

2) À partir de la courbe en fonction du temps des deux entrées A et B ci-dessous, tracez la courbe de la sortie X pour les fonctions d'antivalence (EXOR) et d'équivalence (EXNOR).



3) À
p
a
r
t
i
r
d
e
l
a

table de vérité suivante, former l'équation de la fonction et le circuit correspondant avec des portes (schéma logique).

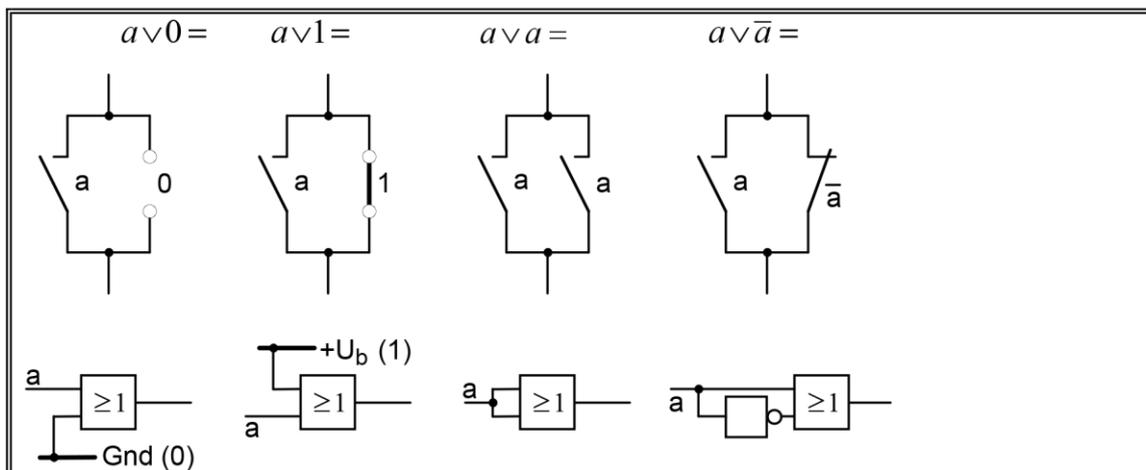
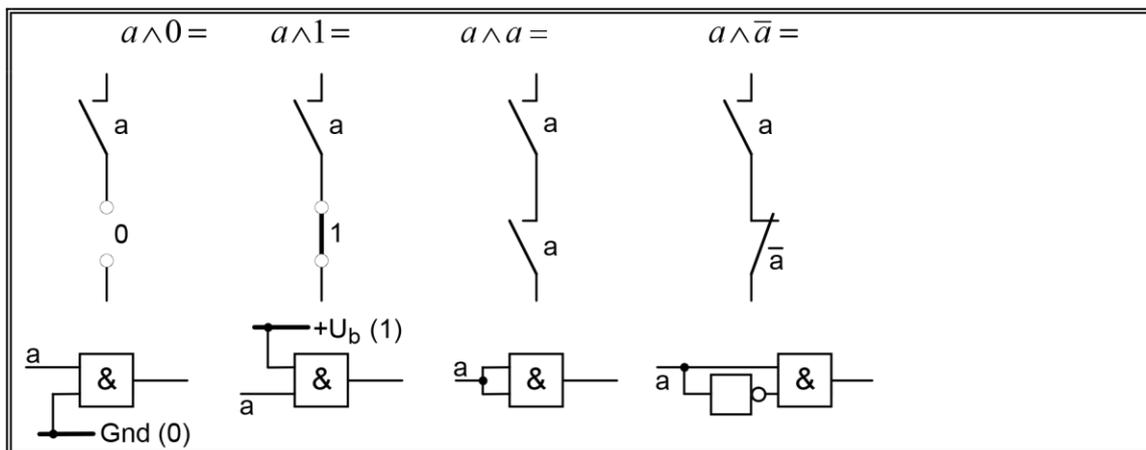
A	B	X
0	0	1
0	1	0
1	0	1
1	1	0

2 Règles de calcul avec l'algèbre de commutation

Pour simplifier les équations logiques, il faut tenir compte des règles de priorité comme c'est le cas dans le cadre de l'algèbre normale. L'algèbre de commutation se fonde sur des axiomes (des lois non démontrées qui s'imposent d'elles-mêmes) et des théorèmes (lois dérivées d'axiomes).

Axiomes ou postulats

Théorème pour une variable



2.1 Exercices: Lois fondamentales et règles de calcul de l'algèbre de commutation

Simplifiez autant que possible les équations suivantes, en appliquant les lois fondamentales et les règles de calcul de l'algèbre de commutation:

1) $X = A \wedge B \wedge 0 \wedge C$

2) $X = U \vee V \vee W \vee 1$

3) $Z = \bar{A} \vee B \vee \bar{B} \vee C$

4) $Y = A \wedge \bar{A} \wedge B \wedge D$

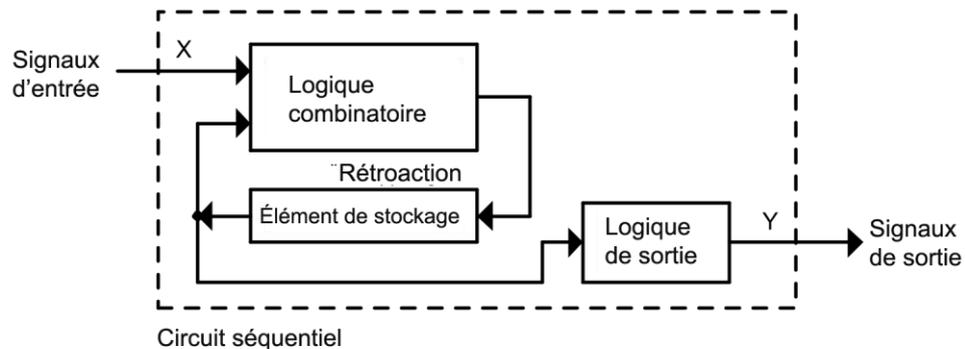
3 Logique séquentielle

3.1 Introduction

Les circuits utilisés dans les ordinateurs et les structures d'ordinateurs peuvent grossièrement être répartis en deux types de circuits, *les circuits combinatoires et les circuits séquentiels*.

Les circuits séquentiels comportent des éléments de commutation qui peuvent *enregistrer* un état logique (0 ou 1).

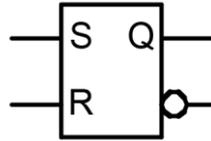
Les circuits séquentiels peuvent généralement être classés en éléments de circuit combinatoires, éléments de stockage et rétroactions.



Status-triggered flip-flops (asynchronous flip-flops) consist of NOR or of NAND operations (**Overview**). The inputs of the flip-flops are identified with S (set) and R (reset). The memory outputs are designated Q and \bar{Q} . They always have inverse signals.

3.2 La bascule verrou RS (également appelée Latch)

La bascule verrou RS non cadencée (également appelée bascule SR) est la cellule de mémoire la plus importante ! En effet, tous les autres types de bascules sont construits à partir de celle-ci.
 Symbole:



La bascule RS non cadencée dispose de 2 entrées: **S (SET)** et **R (RESET)** et de deux entrées complémentaires (opposées): **Q** et \bar{Q} .

Q est déterminé par l'état des entrées et par les antécédents.

Pour les blocs de mémoire, le temps joue désormais aussi un rôle; nous introduisons donc encore les écritures suivantes:

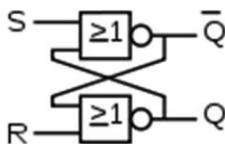
Q_n est la sortie juste avant l'instant t_n

Q_{n+1} est la sortie après l'instant t_n

L'instant t_n caractérisant le moment où un changement se produit dans les signaux FF.

Fonctionnement: Voir également: [CircuitVerse - NOR-FF](https://circuitverse.org/users/159946/projects/nor-ff)

<https://circuitverse.org/users/159946/projects/nor-ff>



Q_n	R	S	Q_{n+1}	$\overline{Q_{n+1}}$
0	0	0		
0	0	1		
1	1	0		
0	1	0		
1	0	0		
1	0	1		
0	1	1		
1	1	1		

RS flip-flops (NOR flip-flops) are set, or reset, with signal 1 (Figure 1). With $R = 1$ and $S = 1$, both memory outputs assume the prohibited state Q and $\bar{Q} = 0$.

3.3 Portes logiques cadencées par un signal d'horloge (clock)

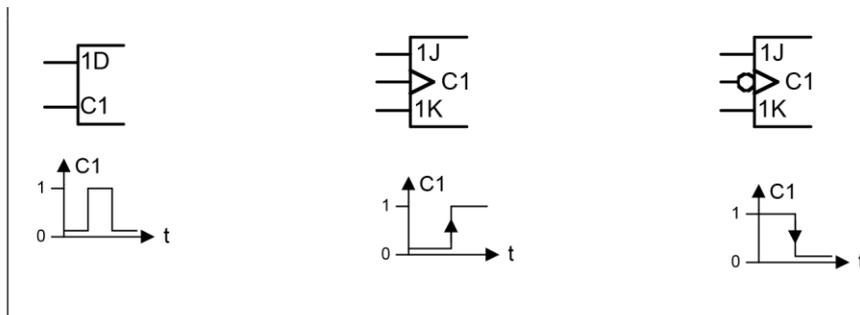
Dans les systèmes numériques, le déroulement est synchronisé à l'échelle du système à l'aide d'une horloge. Cela signifie que chaque porte logique peut être synchronisée via une entrée d'horloge (Clock).

Les types de bascules suivantes font partie des modèles cadencés. On fait ici la distinction entre les différents sous-groupes: (l'entrée Horloge agit comme une porte pour les autres entrées!)

a) Commande d'état,

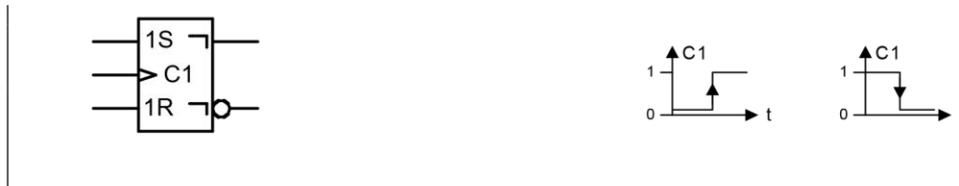
b) Commande 1 front positif,

c) Commande 1 front négatif



d) Commande 2 fronts:

Porte d'entrée: Porte de sortie:

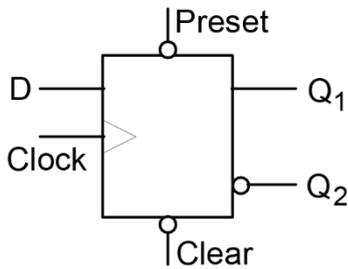


Clocked flip-flops (synchronous flip-flops) transmit signals to the outputs by means of a clock signal. The input signals are linked to the signal at the **clock input C** by an AND operation (**Figure 2**). Control signals at S or R therefore become effective only with clock input $C = 1$.

When $C = 1$, $S = 1$ and $R = 0$, the AND element K1 has 1-signal at the output, but K2 has 0-signal. So the NOR element K3 must have 0-signal at the output, and the NOR element K4 must have 1-signal. All further possibilities for $C=1$ can be checked accordingly (**Table**). With $C = 0$, likewise with $R = S = 0$, a signal change at the output is impossible (**Table**).

3.4 Bascule D (avec commande 1 front positif)

La bascule D comporte normalement quatre entrées et deux sorties.



Les entrées: **D, Horloge, Preset, Clear.**

Les sorties: **Q1 et Q2.**

Les deux entrées Preset et Clear nous permettent de définir (Preset) ou de réinitialiser (Clear) la bascule depuis l'extérieur. Ces entrées sont prioritaires, autrement dit, si un niveau actif est présent sur l'une de ces entrées, les entrées D et horloge sont bloquées. Les anneaux d'inversion sur les entrées indiquent le niveau actif (0). Les entrées Preset (ou Set) et Clear (ou Reset) ne sont pas toujours présentes.

Si un "1" est présent sur l'entrée D lors du front montant de l'entrée de l'horloge, Q₁ est appliqué. Q₁ reste alors activé jusqu'à ce qu'un "0" soit appliqué à D en cas de front montant du signal d'horloge. Alors Q₁ est réinitialisé. La sortie Q₂ adopte généralement l'état inverse. (Le triangle au niveau de l'entrée horloge symbolise la commande par front!)

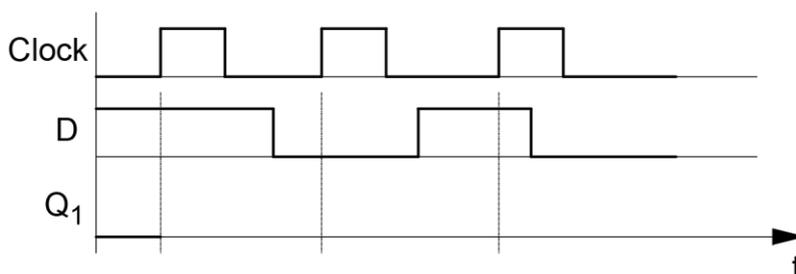
t_n	t_{n+1}
D	Q ₁
0	
1	

Complétez la table de vérité au moyen de la simulation suivante!

[Flip-flops | CircuitVerse](https://learn.circuitverse.org/docs/seq-ssi/flip-flops.html#d-flip-flop)

<https://learn.circuitverse.org/docs/seq-ssi/flip-flops.html#d-flip-flop>

t_n = Temps du front de l'impulsion d'horloge, t_{n+1} = Temps après le front de l'impulsion d'horloge



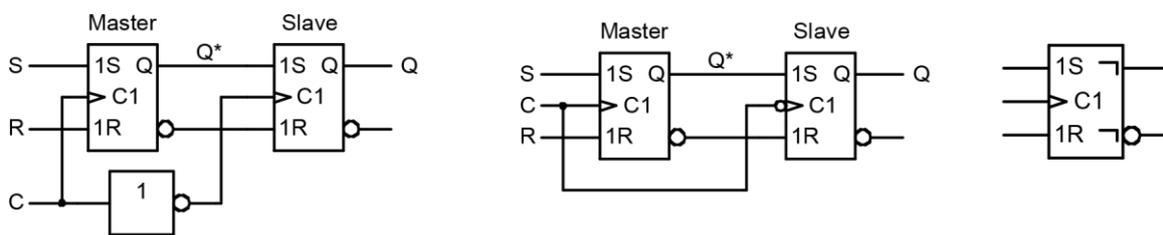
D flip-flops have a clock input C and a D input (data input). The result of the operation $D \wedge C$ is at input S', the result of the operation $\overline{D} \wedge C$ at the input R' of the RS flip-flop (**Figure 3**). Hence the inputs S' and R' can never assume the same values. This is the reason that D flip-flops do not have a prohibited state ($Q = \overline{Q}$).

3.5 La bascule maître-esclave RS (RS-MS-FF)

La bascule RS non cadencée et la bascule RS contrôlée par état d'horloge avec $C=1$ ont la propriété que les changements aux entrées affectent immédiatement les sorties. → On dit également de ces bascules qu'elles sont **transparentes**.

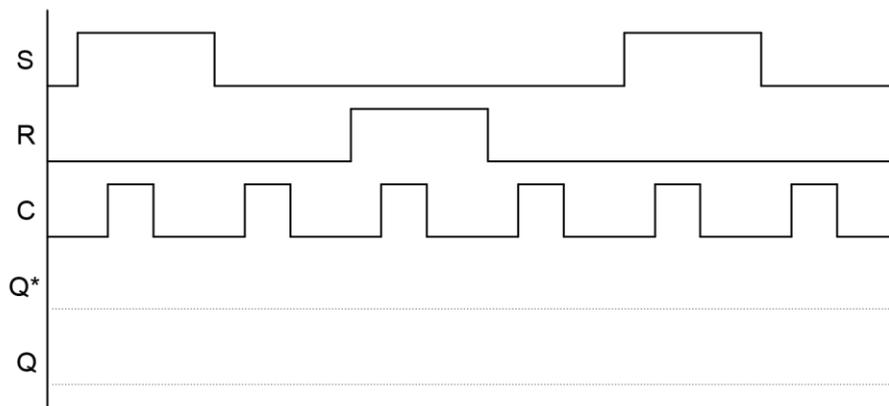
Dans de nombreuses applications, cette propriété est toutefois inadéquate. En effet, certains circuits, notamment des compteurs, ne peuvent pas être conçus avec des FF transparentes.

Un circuit qui présente un faible retard et qui fonctionne comme une sorte de sas de porte s'appelle maître-esclave (MS) et peut être réalisé comme suit:



Lorsque le signal d'horloge monte, le maître (master) commute et ce n'est que lorsque le signal d'horloge descend (donc avec un peu de retard) que l'esclave (slave) commute. Ce retard est symbolisé au niveau des sorties par un « front descendant ».

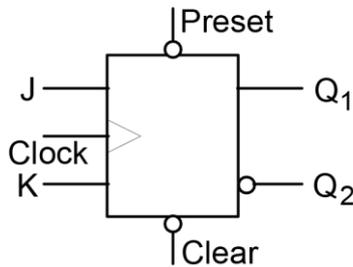
Complétez le diagramme en fonction du temps suivant, en vous basant sur les circuits ci-dessus!



Vos sorties sont **retardées**. On entend par là que l'information de sortie est uniquement disponible lorsque le signal d'horloge est revenu à "0".

3.6 JK-FF à commande à 1 front positif

La bascule JK est une bascule que l'on peut utiliser de manière universelle. Ce type de bascule dispose généralement de 5 entrées: les entrées **Preset** et **Clear**, qui ont la même fonction que pour la bascule D, l'entrée Horloge et les entrées désignées par **J** (set) et **K** (reset) en tant qu'entrées de préparation (les entrées sont nommées d'après Jack Kilby l'inventeur de la bascule JK-FF et souvent aussi appelées Jump-Kill-FF).



Les deux entrées Preset et Clear sont prioritaires, autrement dit, si un niveau actif est présent sur l'une de ces entrées, alors les entrées J, K et horloge sont bloquées. Les anneaux d'inversion sur les entrées indiquent le niveau actif (0). Les entrées Preset et Clear ne sont pas toujours présentes. Le changement de l'état de sortie se fait à nouveau en cadence avec l'impulsion d'horloge, dans notre exemple, sur le front montant de l'impulsion.

Seule la condition interdite ($R=S=1$) doit être réinterprétée ici: si les deux entrées de la bascule JK sont sur le "1" logique, les sorties sont en mode toggle. Toggle signifie que les sorties modifient leur valeur. Si elle était sur le "1" logique, elle devient "0" logique et inversement.

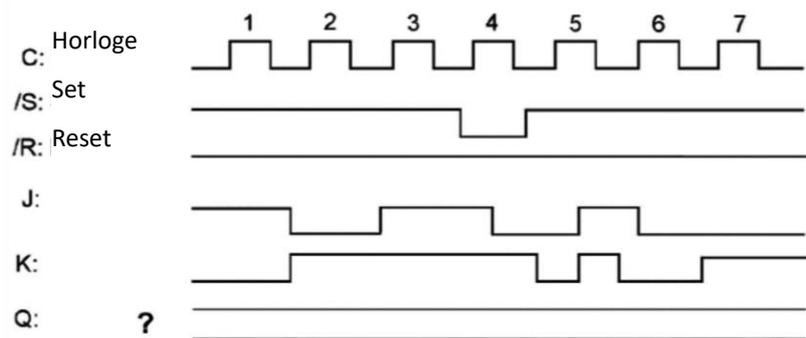
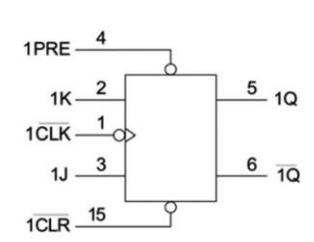
Vérifiez la fonction avec la simulation:

[Flip-flops | CircuitVerse](#)

<https://learn.circuitverse.org/docs/seq-ssi/flip-flops.html#jk-flip-flop>

Exemple:

Aux entrées d'une bascule JK, vous mesurez l'évolution du signal conformément au schéma suivant. Tracez l'évolution du signal de Q. Tenez compte du fait que le FF se déclenche sur le front négatif. (Type 74HC112)



3.7 La bascule JK-Master-Slave

La bascule JK à commande à 2 fronts est une bascule maître-esclave, tout comme c'est le cas de la bascule RS à commande à 2 fronts.

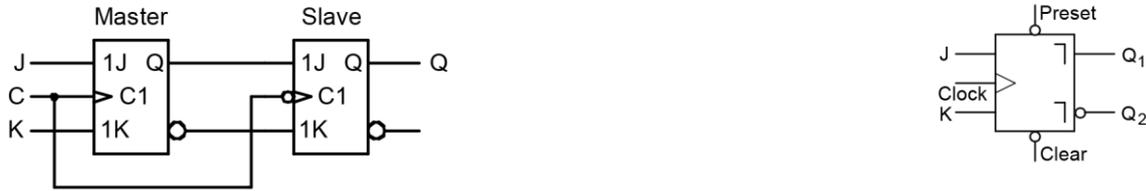
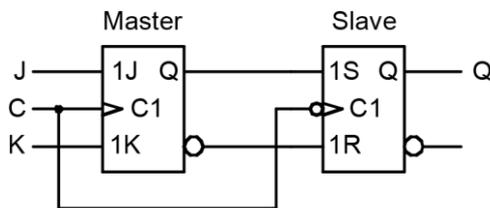


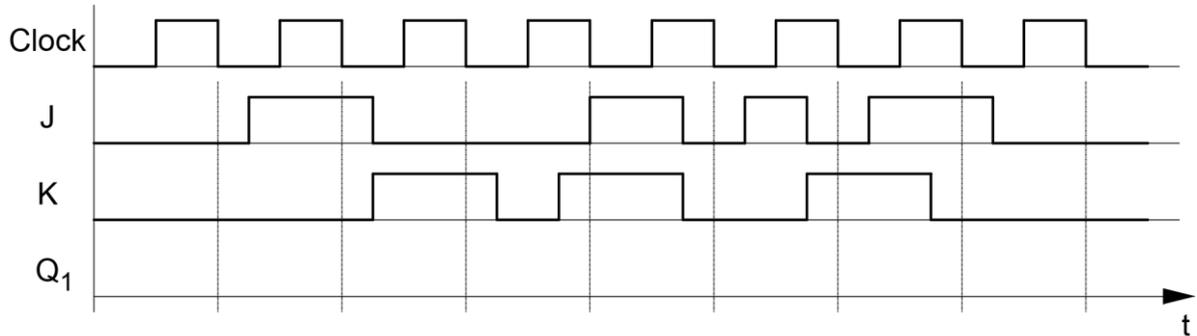
Schéma d'une bascule JK-MS avec bascule JK comme maître et bascule **RS** comme esclave:



Vérifiez la fonction ici:

[Flip-flops | CircuitVerse](#)

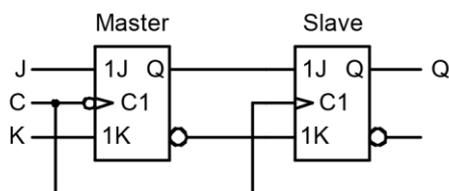
<https://learn.circuitverse.org/docs/seq-ssi/flip-flops.html#master-slave-jk-flip-flop>

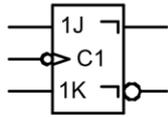


Les bascules JK-MS sont utilisées pour les circuits de mémoire et les circuits de comptage (synchrones).

Il existe aussi des bascules JK-MS qui commutent le maître FF sur le front d'horloge **descendant**. Le front d'horloge **montant** commute alors l'esclave FF.

Symbole:





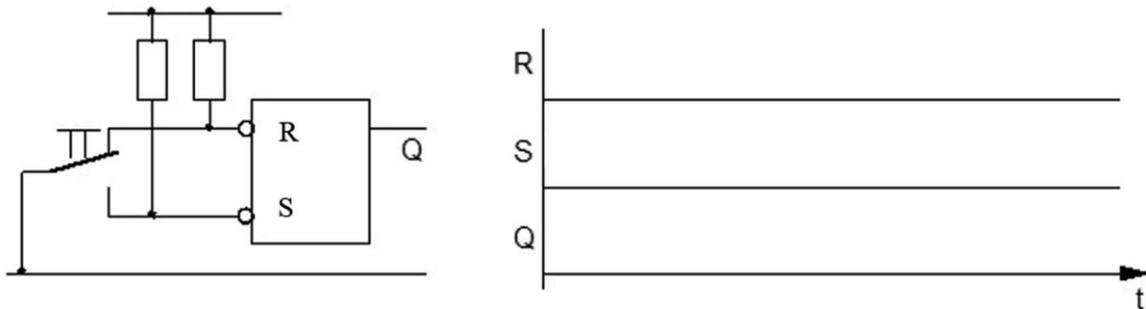
The JK flip-flop with double-edge triggering (JK master-slave flip-flop) consists of two single edge-controlled JK flip-flops (**Figure 3b**). The clock signal of the master flip-flop is inverted and fed to the clock input of the slave flip-flop. Hence the information at the preparation inputs (J and K) is transferred with the rising edge of the clock signal, stored on an intermediate basis, and transferred by the falling pulse edge by the slave flip-flop K2. It is then available at the memory outputs Q and \bar{Q} (**Figure 3c**). The double-edge triggering is indicated in the circuit symbol by two angles at the outputs (**Figure 3a**).

4 Applications des bascules

4.1 Circuit anti-rebonds

Les contacts mécaniques ont la propriété de *rebondir*, en d'autres termes, un contact qui doit être fermé ne reste pas directement fermé, mais s'ouvre encore plusieurs fois par l'action d'un ressort jusqu'à ce qu'il ferme définitivement le circuit électrique. En fonction de la qualité des contacts, ce processus peut durer jusqu'à quelques millisecondes. Des contacts dont la construction est particulièrement défavorable ont également ce comportement lors de l'ouverture.

Si des informations doivent être introduites dans un circuit séquentiel au moyen d'un contact mécanique, la logique rapide reconnaît chaque impulsion du rebond. Or, un actionnement de contact ne doit générer qu'une seule impulsion. Le circuit suivant montre comment il est possible d'éviter les rebonds dans les impulsions. On utilise pour cela un bouton à contact de commutation.

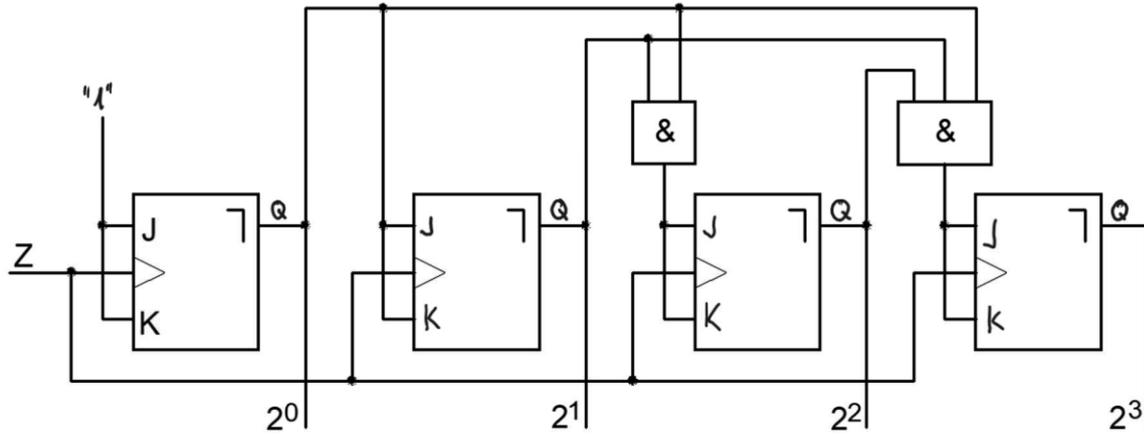


4.2 Interrupteur d'éclairage

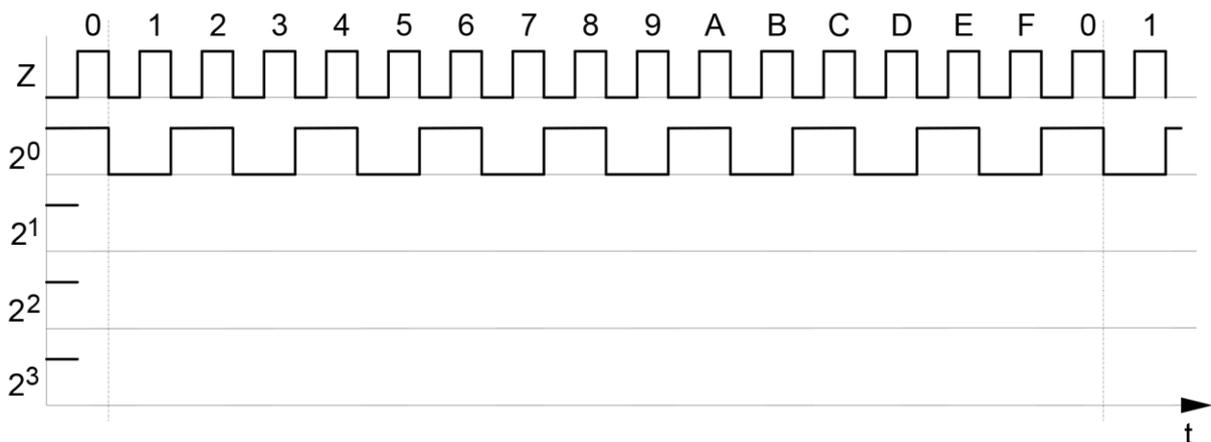
Au moyen d'une bascule, créez un interrupteur d'éclairage qui allume ou éteint la lumière à chaque fois qu'il est actionné!

4.3 Compteur binaire synchrone 4 bits en avant.

Dans les compteurs synchrones, l'impulsion d'horloge est appliquée à toutes les bascules simultanément. Tous les niveaux s'enclenchent en même temps.



Le circuit est construit avec 4 bascules JK commandées sur deux fronts. Il compte de 0 à 15 et à la 16ème impulsion, il retombe à 0.



Voir également:

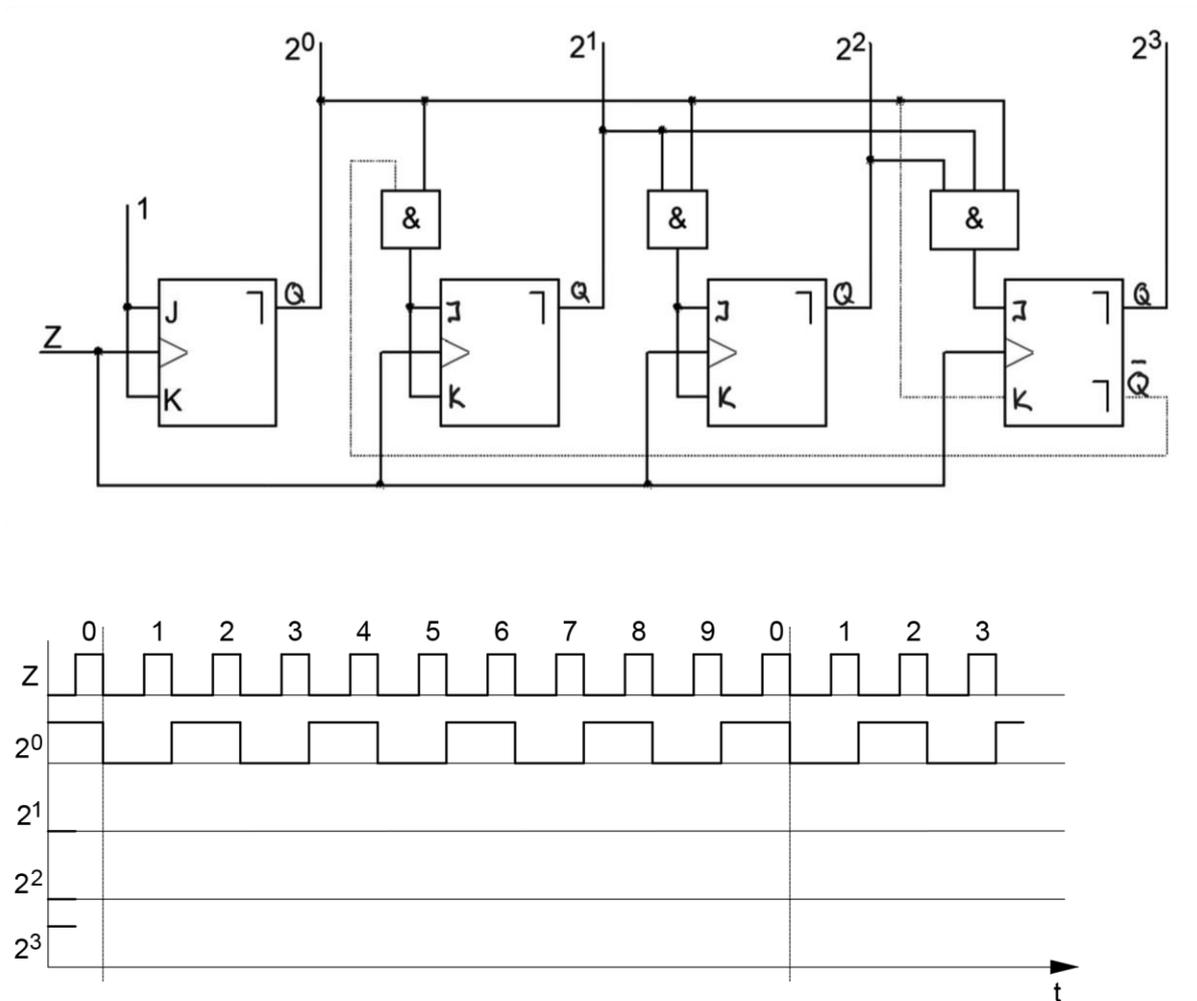
[CircuitVerse - 4-Bit Counter](https://circuitverse.org/users/159946/projects/4-bit-counter-4c5b2eba-548c-476c-93ff-c15c32e06cfd)

<https://circuitverse.org/users/159946/projects/4-bit-counter-4c5b2eba-548c-476c-93ff-c15c32e06cfd>

4.4 Compteur BCD synchrone en avant.

Si, dans un circuit de comptage, le résultat doit être affiché sous une forme décimale, il est préférable de coder chaque chiffre décimal séparément. On appelle ce code, BCD (Binary Coded Decimals). Pour coder un chiffre décimal, on utilise 4 bits. Mais le compteur compte seulement jusqu'à 9 et retombe à 0 à la 10ème impulsion. Cela nécessite une logique supplémentaire qui constate l'état 9.

Compteur BCD synchrone en avant



Voir également:

[CircuitVerse - 4-Bit BCD Counter](https://circuitverse.org/projects/4-bit-bcd-counter)

<https://circuitverse.org/users/159946/projects/4-bit-bcd-counter>